

REKABENTUK DAN PENGOPTIMUMAN PARAMETER PROSES MOSFET  
PLANAR BERTEKNOLOGI 22 nm MENGGUNAKAN KAEDAH TAGUCHI

AFIFAH MAHERAN BINTI ABDUL HAMID

TESIS YANG DIKEMUKAKAN UNTUK MEMPEROLEH IJAZAH  
DOKTOR FALSAFAH

INSTITUT KEJURUTERAAN MIKRO DAN NANOELEKTRONIK  
UNIVERSITI KEBANGSAAN MALAYSIA  
BANGI

2015

## **PENAKUAN**

Saya akui karya ini adalah hasil kerja saya sendiri kecuali nukilan dan ringkasan yang setiap satunya telah saya jelaskan sumbernya.

15 Ogos 2015

AFIFAH MAHERAN BINTI ABDUL HAMID  
P63135

## PENGHARGAAN

Dengan perasaan rendah diri, kesyukuran ini saya panjatkan kepada Yang Maha Esa, sebaik-baik Pencipta, Maha Pemurah lagi Maha Agung, atas segala rezeki, nikmat dan peluang yang diberikan kepada saya. Alhamdulillah, segala ujian malah bantuan yang diterima sepanjang pengajian saya semuanya adalah di atas rezeki dan ketentuannya. Kejayaan ini adalah bukan kejayaan saya seorang. Saya sangat bersyukur dan berasa sangat bertuah kerana diberi peluang untuk bekerjasama dengan penyelia yang sangat saya hormati iaitu Prof. Madya Dr. P. Susthitha Menon, Prof. Dr. Ibrahim Bin Ahmad dan Prof. Dr. Sahbudin Shaari. Segala bantuan, tunjuk ajar dan nasihat serta semangat yang diberikan amat bernilai dan tidak mampu saya balas, hanya ucapan setinggi-tinggi jutaan terima kasih yang mampu disampaikan dan akan dikenang selamanya. Tidak lupa kepada semua tenaga pengajar dan staf di Institut Kejuruteraan Mikro dan Nanoelektronik (IMEN) di atas perbincangan ilmiah dan segala bantuan secara langsung dan tidak langsung sepanjang kajian ini.

Bantuan kewangan dan peluang yang diberikan daripada Kementerian Pengajian Malaysia dan FKEKK, Universiti Teknikal Malaysia Melaka (UTeM), proses pengurusan yang sangat efektif oleh pihak Unit Cuti Belajar UTeM, staf-staf IMEN dan juga Pusat Pengajian Siswazah UKM yang banyak membantu secara langsung dan tidak langsung sepanjang pengajian saya amat dikagumi. Kajian ini juga adalah di dalam tajaan daripada Universiti Kebangsaan Malaysia di bawah geran GUP-2012-012, Industri-2012-017, DPP-2013-030, ERGS/1/2012/STG02/UKM/02/2 dan FRGS/2/2013/SG02/UKM/02/4.

Ucapan penghargaan yang teristimewa dengan penuh kasih sayang kepada suami Azril Bin Othman dan anak kesayangan saya Muhammad Azim Zihni yang sentiasa menyokong, sabar, memahami dan menerima apa jua situasi yang dihadapi. Kepada kedua ibu bapa, mertua saya dan ahli keluarga yang sangat memahami dan tidak putus-putus memberi semangat dalam saya menempuhi segala dugaan sebagai seorang pelajar. Tanpa mereka saya tidak mungkin berada di tahap sebegini. Tidak lupa juga penghargaan ini saya berikan kepada Dr. Husam Ahmed Elgomati, Dr. Fauziah Binti Salehuddin, Prof. Emiritus Prakash R. Apte di atas segala ilmu dan tunjuk ajar yang amat berharga. Pensyarah-pensyarah dan rakan-rakan yang banyak memberi dorongan dan bantuan dalam proses perkongsian ilmu dan tunjuk ajar. Staf dan rakan seperjuangan di makmal iaitu Cik Hayati Hussin, Pn. Noor Faizah, Pn. Khadijah, Pn. Nurjuliana, Pn. Fairus Atida. Rakan seperjuangan di UTeM, Pn. Mazlina, Pn. Siti Aisah, Pn. Hidayah, Pn. Muzalifah, Pn. Alice, Pn. Zarina dan teman-teman yang lain yang sentiasa memberi dorongan dan semangat kepada saya. Segala kegembiraan dan perit getir yang ditempuhi adalah kenangan yang amat terindah. Juga terima kasih kepada En. Mohd Nazrul (BCB UTeM) dan Pn. Jumaah (IMEN) atas segala bantuan dan tahniah di atas tanggungjawab yang dilaksanakan dengan cemerlang.

## ABSTRAK

Permintaan terhadap peranti elektronik moden yang bersaiz kecil dan berprestasi tinggi menjadi salah satu motivasi terhadap industri teknologi semikonduktor dalam menghasilkan peranti MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) berskala nano. Penskalakecilan peranti MOSFET, yang menggunakan teknologi pemfabrikasian CMOS (*Complementary Metal Oxide Semiconductor*), kepada panjang get 22 nm, memerlukan banyak perubahan pada teknik fabrikasi disebabkan had-had fizikal dan elektrik struktur peranti planar hampir sampai ke penghujungnya. Penskalakecilan dimensi transistor bukan sahaja melibatkan pengecilan panjang get, malah pengurangan ketebalan lapisan dielektrik silikon dioksida ( $\text{SiO}_2$ ) yang diaplikasikan sebagai bahan dielektrik sejak sekian lama. Ini telah menyebabkan banyak implikasi buruk terutamanya kerosakan lapisan dielektrik yang menyebabkan berlakunya peningkatan arus bocor dan pelepasan kuasa yang tinggi. Penggantian lapisan  $\text{SiO}_2$  dengan bahan kebertelusan tinggi, k-tinggi (*high-k*) adalah salah satu alternatif untuk peranti MOSFET berstruktur planar kekal relevan. Objektif kajian ini mengutarakan penggunaan titanium dioksida ( $\text{TiO}_2$ ) sebagai bahan *high-k* menggantikan  $\text{SiO}_2$  manakala tungsten silisida ( $\text{WSi}_x$ ) digunakan sebagai get logam (*metal gate*) menggantikan lapisan polisilikon, dibangunkan proses rekabentuknya buat julung kalinya dalam peranti transistor planar NMOS dan PMOS dengan nod teknologi CMOS 22 nm. Selepas menjalankan penskalakecilan peranti MOSFET dari 32 nm ke 22 nm, proses fabrikasi peranti dijalankan menggunakan perisian numerik yang terdiri daripada modul *ATHENA* untuk simulasi proses fabrikasi dan modul *ATLAS* untuk simulasi proses pencirian peranti. Kaedah Taguchi yang menggunakan tatasusunan ortogon Taguchi  $L_9$  dan  $L_{27}$  diaplikasikan untuk mengkaji perubahan pada parameter-parameter proses fabrikasi untuk mendapatkan kombinasi parameter yang optimum dengan mengambikira juga kesan interaksi di antara parameter proses. Target optimasi ialah untuk mencapai nilai voltan ambang ( $V_{\text{TH}}$ ) yang nominal iaitu  $0.289\text{V} \pm 12.7\%$  untuk NMOS dan  $-0.289 \pm 12.7\%$  untuk PMOS serta nilai arus bocor ( $I_{\text{OFF}}$ ) kurang dari  $100 \text{ nA}/\mu\text{m}$  selari dengan unjuran daripada *International Technology Roadmap for Semiconductors* (ITRS). Parameter-parameter proses yang dikaji adalah dos implantasi Halo, sudut condong implantasi Halo, dos implantasi pelarasan  $V_{\text{TH}}$ , dos implantasi punca/salir dan dos implantasi pampasan. Keputusan analisis Taguchi  $L_9$  bagi NMOS dan PMOS menunjukkan bahawa dos implantasi pampasan menjadi faktor dominan dengan peratusan tertinggi SNR (NTB) yang diperolehi masing-masing sebanyak 50.80 % dan 96.72 %. Berdasarkan keputusan tersebut, dos implantasi pampasan telah dikenalpasti sebagai '*R Factor*' dalam mengkaji kesan interaksi pada analisis Taguchi  $L_{27}$ . Analisis kesan interaksi yang dijalankan menunjukkan bahawa '*R Factor*' mempunyai interaksi di antara parameter-parameter proses yang dikaji dan kombinasi optimum parameter proses peranti NMOS dan PMOS menunjukkan nilai  $V_{\text{TH}}$  berada di dalam julat nominal iaitu sebanyak 0.3053 V (NMOS) dan -0.2935 V (PMOS) dengan masing-masing memperoleh peratusan sebanyak 5.64 % dan 1.56 % mendekati nilai nominal. Manakala nilai  $I_{\text{OFF}}$  bagi NMOS dan PMOS menunjukkan proses pengoptimuman yang dijalankan memperoleh nilai  $I_{\text{OFF}}$  yang jauh lebih rendah daripada unjuran *ITRS* iaitu sebanyak  $1.156 \text{ nA}/\mu\text{m}$  (NMOS) dan  $5.511 \text{ nA}/\mu\text{m}$  (PMOS) dengan peratusan sebanyak 98.84 % dan 94.49 %. Secara kesimpulannya, dengan penyediaan rekabentuk eksperimen menggunakan gabungan simulator *TCAD* dan analisis kaedah Taguchi, keputusan optimum bagi rekabentuk tegap untuk peranti CMOS berteknologi 22 nm telah berjaya dicapai.

## DESIGN AND OPTIMIZATION OF PROCESS PARAMETERS OF PLANAR MOSFET WITH 22 nm TECHNOLOGY USING TAGUCHI METHOD

### ABSTRACT

The demand for miniature and high performance of modern electronic devices motivates the semiconductor technology industries to create nanoscale Metal Oxide Semiconductor Field Effect Transistors (MOSFET) devices. The downscaling of MOSFET devices, which utilizes complementary metal-oxide-semiconductor (CMOS) technology, to the gate length of 22 nm requires innovation in new fabrication techniques due to the physical and electrical limitations of planar devices which is approaching its end. The aggressive downscaling of transistor dimensions not only require the reduction of the gate length, but the gate dielectric thickness of the silicon dioxide ( $\text{SiO}_2$ ) layer needs to be decreased as well where it has been used as an efficient gate dielectric material over decades. The decrement of the  $\text{SiO}_2$  layer thickness imposes negative implications such as the presence of broken dielectric layers which increases the leakage current and stimulates high power dissipation. Hence, there is a need for high permittivity (high-k) dielectrics to replace  $\text{SiO}_2$  so that planar MOSFET devices are still relevant. The objective of this research is to use Titanium dioxide ( $\text{TiO}_2$ ) as the high-k material instead of the traditional  $\text{SiO}_2$  dielectric and tungsten silicide ( $\text{WSi}_x$ ) as the metal gate instead of polysilicon, where the development of planar NMOS and PMOS transistor devices with 22 nm CMOS technology node was developed for the first time. Upon downscaling the device dimensions from 32 nm to 22 nm, the device was developed using a numerical simulator, consisting of ATHENA and ATLAS modules; for device fabrication and characterization respectively. Taguchi Method consisting of orthogonal arrays of  $L_9$  and  $L_{27}$  were used to study the variability of the process parameters to achieve optimum combination of process parameters as well as to study the interaction effect of the process parameters. The main target of the project is to attain the nominal value of the threshold voltage ( $V_{\text{TH}}$ ) which is  $0.289\text{V} \pm 12.7\%$  for NMOS and  $-0.289\text{V} \pm 12.7\%$  for PMOS and also minimum leakage current ( $I_{\text{OFF}}$ ) which is below  $100 \text{ nA}/\mu\text{m}$  which is in line with projections made by the International Technology Roadmap for Semiconductors (ITRS). The process parameters are Halo implantation dose, Halo implantation tilting angle,  $V_{\text{TH}}$  adjustment implantation dose, source/drain implantation dose and compensation implantation dose. The  $L_9$  Taguchi analysis for NMOS and PMOS shows that compensation implantation dose as the dominant factor with percentage of contribution on SNR (NTB) of 50.80 % and 96.72 % respectively. Based on that, the compensation implantation dose was identified as the 'R Factor' in the  $L_{27}$  analysis. The interaction study shows that the 'R Factor' interacted with other process parameters and the optimum combination for both devices are within the ITRS projections which are 0.3053 V (NMOS) and -0.2935 V (PMOS) which differs by a percentage of 5.64 % dan 1.56 % from the nominal value. The  $I_{\text{OFF}}$  values for both NMOS and PMOS resulted in values lower than the ITRS projection which is  $1.156 \text{ nA}/\mu\text{m}$  (NMOS) and  $5.511 \text{ nA}/\mu\text{m}$  (PMOS) with percentage difference of 98.84 % dan 94.49 %. As a conclusion, the combination methodology of TCAD simulator and Taguchi method analysis in order to achieve a robust design for 22 nm planar MOSFET device has succeeded.

## KANDUNGAN

		<b>Halaman</b>
<b>PENGAKUAN</b>		ii
<b>PENGHARGAAN</b>		iii
<b>ABSTRAK</b>		iv
<b>ABSTRACT</b>		v
<b>KANDUNGAN</b>		vi
<b>SENARAI JADUAL</b>		x
<b>SENARAI RAJAH</b>		xv
<b>SENARAI SIMBOL</b>		xviii
<b>SENARAI SINGKATAN</b>		xx
<b>BAB I</b>	<b>PENDAHULUAN</b>	
1.1	Pengenalan	1
1.2	Pernyataan Masalah	5
1.3	Objektif	6
1.4	Skop Kajian	7
1.5	Metodologi Kajian	8
1.6	Sumbangan Kajian	9
1.7	Organisasi Tesis	10
<b>BAB II</b>	<b>KAJIAN KEPUSTAKAAN</b>	
2.1	Pengenalan	12
2.2	Pembangunan MOSFET Berskala Nano	15
2.3	Kesan Penskalakecilan MOSFET Pada Rejim Sub-Mikron	19
	2.3.1 Keadaan Tutup Arus Bocor ( $I_{OFF}$ )	19
	2.3.2 Kesan saluran pendek	20
	2.3.3 Gulungan Voltan Ambang	21
	2.3.4 Salir Mengaruh Sawar Merendah	22
	2.3.5 Kesan Elektron Panas	23
	2.3.6 Kebocoran Arus Terowong Get	24
2.4	Penambahbaikan Fabrikasi Sub-Mikron	24
	2.4.1 Pemencilan Peparit Cetek	24
	2.4.2 Peruang Dinding Sisi	25
	2.4.3 Implantasi Halo	25
	2.4.4 Telaga Songsang	26

	2.4.5	Implantasi Pampasan Simpang Salir/Punca	27
2.5		Keboleubahan Parameter Peranti	27
2.6		Kaedah Taguchi	32
2.7		Struktur High-k/Metal Gate & Perbandingan Kajian Lepas	33
2.8		Ringkasan	37
<b>BAB III</b>	<b>KAEDAH PENYELIDIKAN</b>		
3.1		Pengenalan	38
3.2		Perisian Silvaco	39
	3.2.1	Modul <i>ATHENA</i>	39
	3.2.2	<i>Deckbuild</i>	40
	3.2.3	Modul <i>ATLAS</i>	40
	3.2.4	<i>Tonyplot</i>	40
3.3		Proses Fabrikasi Menggunakan Modul <i>ATHENA</i>	41
	3.3.1	Pembentukan kawasan transistor	42
	3.3.2	Pembentukan Telaga	43
	3.3.3	Pengasingan Parit Cetek	43
	3.3.4	Pertumbuhan Lapisan Oksida	44
	3.3.5	Implantasi Penyelaras Voltan Ambang	44
	3.3.6	Implantasi Salir Terdop Ringan	44
	3.3.7	Implantasi Halo	44
	3.3.8	Pertumbuhan Lapisan Dielektrik Get	45
	3.3.9	Pembentukan Get Logam	45
	3.3.10	Pembentukan Peruang Sisi Get	45
	3.3.11	Implantasi Berat Punca/Salir	45
	3.3.12	Dielektrik Pra-logam	46
	3.3.13	Implantasi Pampasan	46
	3.3.14	Pelogaman	46
	3.3.15	Struktur dicerminkan	47
3.4		Proses Simulasi Ciri-ciri Elektrikal Menggunakan Modul <i>ATLAS</i>	47
3.5		Proses Analisis Menggunakan Kaedah Taguchi	47
	3.5.1	Penentuan anggapan parameter-parameter proses	48
	3.5.2	Pemilihan tatasusunan ortogon	49
	3.5.3	Eksperimen Mengikut Kombinasi Faktor	51
	3.5.4	Analisis Data, Penentuan Tahap Faktor	51
	3.5.5	Ujian kehadiran interaksi	53
	3.5.6	Kombinasi Optimum & Ujian Pengesahan Akhir	54
3.6		Ringkasan	55

<b>BAB IV</b>	<b>KEPUTUSAN PENGOPTIMUMAN KEBOLEHUBAHAN PARAMETER-PARAMETER PROSES TERHADAP TRANSISTOR NMOS</b>	
4.1	Pengenalan	56
4.2	Penskalakecilan dan Fabrikasi model Transistor NMOS 22 nm	57
4.3	Pencirian Elektrikal Peranti Transistor NMOS	64
4.4	Pengoptimuman Kebolehubahan Parameter Proses Terhadap $V_{TH}$ Menggunakan Tatasusunan Ortogon $L_9$	66
	4.4.1 Penentuan anggapan parameter proses dan kesan $V_{TH}$ terhadap perubahan parameter proses	66
	4.4.2 Analisis Varians ( <i>ANOVA</i> )	74
	4.4.3 Ujian Pengesahan	77
4.5	Pengoptimuman Kebolehubahan Parameter Proses Terhadap $I_{OFF}$ Menggunakan Tatasusunan Ortogon $L_9$	79
	4.5.1 Kesan $I_{OFF}$ terhadap perubahan parameter proses	80
	4.5.2 Analisis Varians ( <i>ANOVA</i> )	85
	4.5.3 Ujian Pengesahan	86
4.6	Pengoptimuman Parameter Proses Pada Peranti NMOS Terhadap $V_{TH}$ Menggunakan Tatasusunan Ortogon $L_{27}$	88
	4.6.1 Penentuan hubungan ' <i>R Factor</i> ' antara parameter-parameter proses dan kesan pengoptimuman terhadap nilai $V_{TH}$	89
	4.6.2 Ujian kehadiran interaksi	92
	4.6.3 Ujian Pengesahan	95
4.7	Pengoptimuman Parameter Proses Pada Peranti NMOS Terhadap $I_{OFF}$ Menggunakan Tatasusunan Ortogon $L_{27}$	96
	4.7.1 Hubungan ' <i>R Factor</i> ' antara parameter-parameter proses dan kesan pengoptimuman terhadap nilai $I_{OFF}$	97
	4.7.2 Ujian kehadiran interaksi	100
	4.7.3 Ujian Pengesahan	103
4.8	Kesimpulan	104
<b>BAB V</b>	<b>KEPUTUSAN PENGOPTIMUMAN KEBOLEHUBAHAN PARAMETER-PARAMETER PROSES TERHADAP TRANSISTOR PMOS</b>	
5.1	Pengenalan	108
5.2	Fabrikasi Transistor PMOS 22 nm	109
5.3	Pencirian Elektrikal Peranti Transistor PMOS	115
5.4	Pengoptimuman Kebolehubahan Parameter Proses Terhadap $V_{TH}$ Menggunakan Tatasusunan Ortogon $L_9$	116



5.4.1	Penentuan anggapan parameter proses dan kesan $V_{TH}$ terhadap perubahan parameter proses	117
5.4.2	Analisis Varians ( <i>ANOVA</i> )	124
5.4.3	Ujian Pengesahan	126
5.5	Pengoptimuman Kebolehubahan Parameter Proses Terhadap $I_{OFF}$ Menggunakan Tatasusunan Ortogon $L_9$	129
5.5.1	Kesan $I_{OFF}$ terhadap perubahan parameter proses	129
5.5.2	Analisis Varians ( <i>ANOVA</i> )	134
5.5.3	Ujian Pengesahan	135
5.6	Pengoptimuman Parameter Proses Pada Peranti PMOS Terhadap $V_{TH}$ Menggunakan Tatasusunan Ortogon $L_{27}$	137
5.6.1	Penentuan hubungan ' <i>R Factor</i> ' antara parameter-parameter proses dan kesan pengoptimuman terhadap nilai $V_{TH}$	137
5.6.2	Ujian kehadiran interaksi	141
5.6.3	Ujian Pengesahan	144
5.7	Pengoptimuman Parameter Proses Pada Peranti PMOS Terhadap $I_{OFF}$ Menggunakan Tatasusunan Ortogon $L_{27}$	145
5.7.1	Hubungan ' <i>R Factor</i> ' antara parameter-parameter proses dan kesan pengoptimuman terhadap nilai $I_{OFF}$	145
5.7.2	Ujian kehadiran interaksi	148
5.7.3	Ujian Pengesahan	150
5.8	Kesimpulan	151
<b>BAB VI KESIMPULAN DAN KAJIAN MASA HADAPAN</b>		
6.1	Kesimpulan	155
6.2	Cadangan Masa Hadapan	157
<b>RUJUKAN</b>		158
<b>LAMPIRAN</b>		
A	SENARAI PENERBITAN	167
B	KOD PENGATURCARAAN (NMOS)	170
C	KOD PENGATURCARAAN SILVACO (PMOS)	178
D	JADUAL UNJURAN ITRS	185
E	BIODATA PELAJAR	186

## SENARAI JADUAL

No. Jadual		Halaman
2.1	Kelebihan dan kekurangan beberapa kaedah analisis	31
2.2	Kajian peranti MOSFET planar oleh penyelidik	36
3.1	Tatasusunan ortogon $L_9$	50
3.2	Tatasusunan ortogon $L_{27}$	50
3.3	Jadual 2-Hala	54
4.1	Proses penghasilan transistor NMOS 22 nm	58
4.2	Parameter-parameter proses dan tahapnya bagi NMOS Set 1	68
4.3	Parameter-parameter proses dan tahapnya bagi NMOS Set 2	68
4.4	Parameter-parameter proses dan tahapnya bagi NMOS Set 3	68
4.5	Faktor hingar dan tahapnya untuk NMOS	68
4.6	Keputusan nilai $V_{TH}$ bagi peranti NMOS Set 1	69
4.7	Keputusan nilai $V_{TH}$ bagi peranti NMOS Set 2	69
4.8	Keputusan nilai $V_{TH}$ bagi peranti NMOS Set 3	69
4.9	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ NMOS Set 1	70
4.10	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ NMOS Set 2	70
4.11	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ NMOS Set 3	71
4.12	Kajian SNR (NTB) untuk $V_{TH}$ NMOS Set 1	71
4.13	Kajian SNR (NTB) untuk $V_{TH}$ NMOS Set 2	71
4.14	Kajian SNR (NTB) untuk $V_{TH}$ NMOS Set 3	72
4.15	Keputusan <i>ANOVA</i> $V_{TH}$ NMOS Set 1	75
4.16	Keputusan <i>ANOVA</i> $V_{TH}$ NMOS Set 2	75

4.17	Keputusan <i>ANOVA</i> $V_{TH}$ NMOS Set 3	75
4.18	Kombinasi optimum parameter proses untuk $V_{TH}$ NMOS Set 1	77
4.19	Kombinasi optimum parameter proses untuk $V_{TH}$ NMOS Set 2	78
4.20	Kombinasi optimum parameter proses untuk $V_{TH}$ NMOS Set 3	78
4.21	Keputusan pengesahan akhir bersama faktor hingar untuk $V_{TH}$ NMOS	78
4.22	Peratusan keputusan $V_{TH}$ NMOS sebelum dan selepas optimasi	79
4.23	Keputusan nilai $I_{OFF}$ bagi peranti NMOS Set 1	80
4.24	Keputusan nilai $I_{OFF}$ bagi peranti NMOS Set 2	81
4.25	Keputusan nilai $I_{OFF}$ bagi peranti NMOS Set 3	81
4.26	Nilai SNR (KLB) untuk $I_{OFF}$ bagi setiap eksperimen peranti NMOS	82
4.27	Kajian SNR (KLB) untuk $I_{OFF}$ pada peranti NMOS Set 1	82
4.28	Kajian SNR (KLB) untuk $I_{OFF}$ pada peranti NMOS Set 2	82
4.29	Kajian SNR (KLB) untuk $I_{OFF}$ pada peranti NMOS Set 3	83
4.30	Keputusan <i>ANOVA</i> $I_{OFF}$ NMOS Set 1	85
4.31	Keputusan <i>ANOVA</i> $I_{OFF}$ NMOS Set 2	85
4.32	Keputusan <i>ANOVA</i> $I_{OFF}$ NMOS Set 3	85
4.33	Kombinasi optimum parameter proses untuk $I_{OFF}$ NMOS Set 1	86
4.34	Kombinasi optimum parameter proses untuk $I_{OFF}$ NMOS Set 2	86
4.35	Kombinasi optimum parameter proses untuk $I_{OFF}$ NMOS Set 3	86
4.36	Keputusan pengesahan akhir bersama faktor hingar untuk $I_{OFF}$ NMOS	87
4.37	Peratusan keputusan $I_{OFF}$ NMOS sebelum dan selepas optimasi	87
4.38	Parameter-parameter proses dan tahapnya untuk analisa $V_{TH}$ NMOS	89
4.39	Faktor hingar dan tahapnya	89

4.40	Keputusan nilai $V_{TH}$ NMOS menggunakan kaedah Taguchi $L_{27}$	90
4.41	Kajian SNR (NTB) untuk analisa $V_{TH}$ NMOS	91
4.42	Nilai SNR (NTB) purata interaksi terhadap Faktor E untuk $V_{TH}$ NMOS	93
4.43	Kombinasi optimum Taguchi $L_{27}$ analisis $V_{TH}$ NMOS	96
4.44	Keputusan pengesahan akhir bersama faktor hingar	96
4.45	Peratusan perbezaan keputusan $V_{TH}$ NMOS analisis kaedah Taguchi $L_{27}$	96
4.46	Keputusan nilai $I_{OFF}$ NMOS menggunakan kaedah Taguchi $L_{27}$	98
4.47	Kajian SNR (KLB) untuk analisa $I_{OFF}$ peranti NMOS	99
4.48	Nilai SNR (KLB) purata interaksi terhadap Faktor E untuk $I_{OFF}$ NMOS	101
4.49	Kombinasi optimum Taguchi $L_{27}$ analisis $I_{OFF}$ NMOS	103
4.50	Keputusan pengesahan akhir bersama faktor hingar	104
4.51	Peratusan perbezaan keputusan $I_{OFF}$ NMOS analisis kaedah Taguchi $L_{27}$	104
4.52	Ringkasan keputusan terbaik analisis peranti NMOS	107
5.1	Proses penghasilan transistor PMOS 22 nm	109
5.2	Parameter-parameter proses dan tahapnya bagi PMOS Set 1	117
5.3	Parameter-parameter proses dan tahapnya bagi PMOS Set 2	118
5.4	Parameter-parameter proses dan tahapnya bagi PMOS Set 3	118
5.5	Faktor hingar dan tahapnya	118
5.6	Keputusan Nilai $V_{TH}$ bagi peranti PMOS Set 1	119
5.7	Keputusan Nilai $V_{TH}$ bagi peranti PMOS Set 2	119
5.8	Keputusan Nilai $V_{TH}$ bagi peranti PMOS Set 3	119
5.9	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ PMOS Set 1	120

5.10	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ PMOS Set 2	120
5.11	Nilai Min, Varians, SNR (Min) dan SNR (NTB) bagi $V_{TH}$ PMOS Set 3	121
5.12	Kajian SNR (NTB) $V_{TH}$ untuk PMOS Set 1	121
5.13	Kajian SNR (NTB) $V_{TH}$ untuk PMOS Set 2	121
5.14	Kajian SNR (NTB) $V_{TH}$ untuk PMOS Set 3	122
5.15	Keputusan <i>ANOVA</i> $V_{TH}$ PMOS Set 1	125
5.16	Keputusan <i>ANOVA</i> $V_{TH}$ PMOS Set 2	125
5.17	Keputusan <i>ANOVA</i> $V_{TH}$ PMOS Set 3	125
5.18	Kombinasi optimum parameter proses $V_{TH}$ PMOS Set 1	127
5.19	Kombinasi optimum parameter proses $V_{TH}$ PMOS Set 2	127
5.20	Kombinasi optimum parameter proses $V_{TH}$ PMOS Set 3	128
5.21	Keputusan pengesahan akhir bersama faktor hingar untuk $V_{TH}$ PMOS	128
5.22	Peratusan keputusan $V_{TH}$ PMOS sebelum dan selepas optimasi	128
5.23	Keputusan Nilai $I_{OFF}$ bagi peranti PMOS Set 1	130
5.24	Keputusan Nilai $I_{OFF}$ bagi peranti PMOS Set 2	130
5.25	Keputusan Nilai $I_{OFF}$ bagi peranti PMOS Set 3	130
5.26	Nilai SNR (KLB) PMOS bagi setiap eksperimen	131
5.27	Kajian SNR (KLB) PMOS Set 1	131
5.28	Kajian SNR (KLB) PMOS Set 2	132
5.29	Kajian SNR (KLB) PMOS Set 3	132
5.30	Keputusan <i>ANOVA</i> $I_{OFF}$ PMOS Set 1	134
5.31	Keputusan <i>ANOVA</i> $I_{OFF}$ PMOS Set 2	134
5.32	Keputusan <i>ANOVA</i> $I_{OFF}$ PMOS Set 3	134

5.33	Kombinasi optimum parameter proses $I_{OFF}$ PMOS Set 1	135
5.34	Kombinasi optimum parameter proses $I_{OFF}$ PMOS Set 2	135
5.35	Kombinasi optimum parameter proses $I_{OFF}$ PMOS Set 3	135
5.36	Keputusan pengesahan akhir bersama faktor hingar untuk $I_{OFF}$ PMOS	135
5.37	Peratusan keputusan $I_{OFF}$ PMOS sebelum dan selepas optimasi Peratusan keputusan $I_{OFF}$ PMOS sebelum dan selepas optimasi	136
5.38	Parameter-parameter proses dan tahapnya	138
5.39	Faktor hingar dan tahapnya	138
5.40	Keputusan nilai $V_{TH}$ PMOS menggunakan kaedah Taguchi $L_{27}$	139
5.41	Kajian SNR (NTB) untuk analisa $V_{TH}$ PMOS	140
5.42	Nilai SNR (NTB) purata interaksi terhadap Faktor E untuk $V_{TH}$ PMOS	142
5.43	Kombinasi optimum Taguchi $L_{27}$ analisis $V_{TH}$ PMOS	144
5.44	Keputusan pengesahan akhir bersama faktor hingar	144
5.45	Peratusan perbezaan keputusan $V_{TH}$ PMOS analisis kaedah Taguchi $L_{27}$	145
5.46	Keputusan Nilai $I_{OFF}$ bagi peranti PMOS	146
5.47	Kajian SNR (KLB) untuk analisa $I_{OFF}$ peranti PMOS	147
5.48	Nilai SNR (KLB) purata interaksi terhadap Faktor E untuk $I_{OFF}$ PMOS	148
5.49	Kombinasi optimum Taguchi $L_{27}$ analisis $I_{OFF}$ PMOS	151
5.50	Keputusan pengesahan akhir bersama faktor hingar	151
5.51	Peratusan perbezaan keputusan $I_{OFF}$ PMOS analisis kaedah Taguchi $L_{27}$	151
5.52	Ringkasan keputusan terbaik analisis peranti PMOS	154

## SENARAI RAJAH

No. Rajah		Halaman
1.1	Carta alir skop kajian	8
2.1	Unjuran Teknologi CMOS	13
2.2	Evolusi peranti MOSFET	16
2.3	Kajian perkembangan struktur teknologi CMOS	18
2.4	Konsep penskalakecilan peranti transistor dengan faktor skala, $\alpha$	19
2.5	Ilustrasi kesan saluran pendek	21
2.6	Kesan saluran pendek	21
2.7	Ilustrasi fenomena <i>DIBL</i>	22
2.8	Hubungkait nilai $V_T$ berbanding dengan panjang saluran	23
2.9	Ilustrasi Proses Fabrikasi <i>STI</i>	24
2.10	Peruang Dinding Sisi	25
2.11	Profil implantasi Halo	26
3.1	Proses fabrikasi pembangunan model teknologi CMOS 22 nm	41
3.2	Pandangan atas transistor teknologi CMOS 32 nm	42
3.3	Langkah-langkah asas analisis kaedah Taguchi	48
4.1	Pandangan atas transistor teknologi CMOS 22 nm	57
4.2	Graf hubungan $I_D$ - $V_D$	64
4.3	Graf hubungan $I_D$ - $V_G$	65
4.4	Graf hubungan $I_D$ - $V_G$	65
4.5	Graf SNR (NTB) NMOS Set 1	73
4.6	Graf SNR (NTB) NMOS Set 2	73
4.7	Graf SNR (NTB) NMOS Set 3	74

4.8	Peratusan keputusan terhadap nilai nominal	79
4.9	Graf SNR (KLB) pada $I_{OFF}$ untuk peranti NMOS Set 1	84
4.10	Graf SNR (KLB) pada $I_{OFF}$ untuk peranti NMOS Set 2	84
4.11	Graf SNR (KLB) pada $I_{OFF}$ untuk peranti NMOS Set 3	84
4.12	Peratusan keputusan terhadap nilai minimum $I_{OFF}$	87
4.13	Graf SNR (NTB) dengan interaksi terhadap $V_{TH}$ NMOS	92
4.14	Ujian kehadiran interaksi antara (ExA) analisis $V_{TH}$ NMOS	94
4.15	Ujian kehadiran interaksi antara (ExB) analisis $V_{TH}$ NMOS	94
4.16	Ujian kehadiran interaksi antara (ExC) analisis $V_{TH}$ NMOS	94
4.17	Ujian kehadiran interaksi antara (ExD) analisis $V_{TH}$ NMOS	95
4.18	Graf SNR (KLB) dengan interaksi terhadap $I_{OFF}$	99
4.19	Ujian kehadiran interaksi antara (ExA) analisis $I_{OFF}$ NMOS	101
4.20	Ujian kehadiran interaksi antara (ExB) analisis $I_{OFF}$ NMOS	102
4.21	Ujian kehadiran interaksi antara (ExC) analisis $I_{OFF}$ NMOS	102
4.22	Ujian kehadiran interaksi antara (ExD) analisis $I_{OFF}$ NMOS	102
5.1	Graf hubungan $I_D$ - $V_D$	115
5.2	Graf hubungan $I_D$ - $V_G$	115
5.3	Graf hubungan $I_D$ - $V_G$	116
5.4	Graf SNR (NTB) $V_{TH}$ PMOS Set 1	123
5.5	Graf SNR (NTB) $V_{TH}$ PMOS Set 2	123
5.6	Graf SNR (NTB) $V_{TH}$ PMOS Set 3	124
5.7	Peratusan keputusan terhadap nilai nominal	129
5.8	Graf SNR (KLB) Set 1	133
5.9	Graf SNR (KLB) Set 2	133
5.10	Graf SNR (KLB) Set 3	133



5.11	Peratusan keputusan terhadap nilai minimum $I_{OFF}$	136
5.12	Graf SNR (NTB) dengan interaksi terhadap $V_{TH}$ PMOS	140
5.13	Ujian kehadiran interaksi antara (ExA) analisis $V_{TH}$ PMOS	142
5.14	Ujian kehadiran interaksi antara (ExB) analisis $V_{TH}$ PMOS	143
5.15	Ujian kehadiran interaksi antara (ExC) analisis $V_{TH}$ PMOS	143
5.16	Ujian kehadiran interaksi antara (ExD) analisis $V_{TH}$ PMOS	143
5.17	Graf SNR (KLB) dengan interaksi terhadap $I_{OFF}$	147
5.18	Ujian kehadiran interaksi antara (ExA) analisis $I_{OFF}$ PMOS	149
5.19	Ujian kehadiran interaksi antara (ExB) analisis $I_{OFF}$ PMOS	149
5.20	Ujian kehadiran interaksi antara (ExC) analisis $I_{OFF}$ PMOS	149
5.21	Ujian kehadiran interaksi antara (ExD) analisis $I_{OFF}$ PMOS	150

## SENARAI SIMBOL

$\text{Al}_2\text{O}_3$	Aluminium dioksida
$\text{BF}_2$	Boron diflorida
$\text{CoSi}_2$	Kobalt silisida
$\text{C}_{\text{ox}}$	Kapasitan oksida
$\text{C}_j$	Kemuatan simpangan
$\text{GaAs}$	Galium arsenik
$\text{HfO}_2$	Hafnium oksida
$\text{HfSi}_x$	Hafnium silisida
$\text{HfSiON}$	Hafnium silikon oksinitrid
$I_D$	Arus salir
$\text{InAs}$	Indium Arsenik
$\text{InP}$	Indium Phosfur
$I_{\text{OFF}}/I_{\text{SUB}}$	Keadaan tutup arus bocor atau arus bocor sub-ambang
$L'$	Panjang efektif
$\text{La}_2\text{O}_3$	Lantanum Oksida
$L_G$	Panjang get
$N_A$	Pendopan substrat
$\text{NiSi}_2$	Nikel silisida
nm	Nanometer
$Q_B'$	Cas pukal
$r_j$	Kedalaman simpang
S/D	Punca/Salir
$\text{SiC}$	Silikon Karbaid

SiGe	Silikon Germanium
SiO <sub>2</sub>	Silikon dioksida
TiN	Titanium nitrid
Ta <sub>2</sub> O <sub>5</sub>	Tantalum pentoksida
TiO <sub>2</sub>	Titanium dioksida
TiSi <sub>2</sub>	Titanium silisida
$t_{ox}$	Ketebalan oksida
V	Voltan (unit Volt)
V <sub>D</sub>	Voltan salir
V <sub>G</sub> , V <sub>GS</sub>	Voltan get
V <sub>T</sub> , V <sub>TH</sub>	Voltan ambang
W <sub>m</sub>	Lebar deplesi maksimum
WSi <sub>2</sub>	Tungsten silisida
Y <sub>2</sub> O <sub>3</sub>	Yttrium oxide
ZrO <sub>2</sub>	Zirkonium dioksida
$\alpha$	alpha (skala pengecilan)
$\epsilon_{ox}$	Nilai kebertelusan lapisan oksida
$\mu_0$	Kebolehgerakan pincang simpang
$\sigma$	Sisihan piawai
$\eta$	Nisbah Isyarat-Hingar
$\mu$	Min/purata

## SENARAI SINGKATAN

SINGKATAN	NAMA PENUH
2D	2-Dimensi
ANOVA	Analisis Varians ( <i>Analysis of Variance</i> )
BLB	Besar-lebih-Baik ( <i>Larger-the-Better</i> )
BPSG	Kaca silikat boron fosfor ( <i>boron phosphor silicate glass</i> )
CMOS	Semikonduktor logam-oksida pelengkap ( <i>complimentary metal-oxide-semiconductor</i> )
CMP	Pengilapan mekanikal kimia ( <i>chemical mechanical polishing</i> )
CNT	Tiub nano karbon ( <i>Carbon nanotubes</i> )
CVD	Pengendapan wap kimia ( <i>chemical vapor deposition</i> )
DIBL	Salir teraruh sawar merendah ( <i>drain induced barrier lowering</i> )
DOE	Rekabentuk Eksperimen ( <i>Design of Experiment</i> )
FinFET	<i>Fin-Shaped Field-Effect-Transistor</i>
GFETs	<i>Graphene</i> transistor kesan medan ( <i>Graphene Field-Effect-Transistor</i> )
IC	Litar bersepadu ( <i>Integrated circuit</i> )
IMD	Dielektrik antara logam ( <i>inter metal dielectric</i> )
ITRS	Halatuju Teknologi Antarabangsa untuk Semikonduktor ( <i>International Technology Roadmap for Semiconductor</i> )
KLB	Kecil-lebih-Baik ( <i>Smaller-the-Better</i> )
LDD	Salir terdop rendah ( <i>lightly doped drain</i> )
LOCOS	Pengoksidaan setempat silikon ( <i>local oxidation of silicon</i> )
LPCVD	CVD tekanan rendah ( <i>low pressure CVD</i> )

MOSFET	Transistor-kesan-medan semikonduktor logam-oksida ( <i>metal-oxide semiconductor field-effect-transistor</i> )
NMOS	Salur-n ( <i>n-channel mos</i> )
NTB	Nominal-yang-Terbaik ( <i>Nominal-the-Best</i> )
NW	Wayar nano
NWFETs	Wayar nano FETs ( <i>Nanowires Field-Effect-Transistor</i> )
OA	Tatasusunan ortogon ( <i>orthogonal array</i> )
PMD	Dielektrik pralogam ( <i>premetal dielectric</i> )
PMOS	Salur-p ( <i>p-channel mos</i> )
<i>Poly-Si</i>	Polisilikon ( <i>Polysilikon</i> )
PSG	Kaca silicat Fosforus ( <i>Phosphoro-Silicate-Glass</i> )
RDF	Turun-naik Dopan Rawak ( <i>Random Dopant Fluctuation</i> )
RIE	Punaran ion regangan ( <i>reactive ion etching</i> )
RND	Kajian dan Pembangunan ( <i>Research &amp; Development</i> )
RSM	Kaedah Permukaan Respon ( <i>Response Surface Methodology</i> )
S/D	Salir/Punca ( <i>Source/Drain</i> )
SCE	Kesan saluran pendek ( <i>Short channel effcet</i> ),
SNR	Nisbah Isyarat-Hingar ( <i>Signal-to-Noise Ratio</i> )
SOI	Silikon-di-atas-penebat ( <i>Silicon-on-insulator</i> )
STI	Pengasingan peparit cetek ( <i>shallow trench isolation</i> )
TEOS	Tetraethylorthosilicate
UTB	Badan nipis ultra ( <i>Ultra Thin Body</i> )
USG	<i>Undoped silicate glass</i>

## **BAB I**

### **PENDAHULUAN**

#### **1.1 PENGENALAN**

Kemajuan dalam teknologi penskalakecilan peranti MOSFET menjadi satu halatuju dalam teknologi peranti transistor dan memberi impak besar dalam pembangunan teknologi semikonduktor. Kemajuan penskalakecilan peranti MOSFET berteknologi CMOS mampu menghasilkan saiz transistor dalam skala nano yang melibatkan pengecilan panjang get sehingga mencapai hanya beberapa nanometer (nm). Pengecilan skala peranti transistor berteknologi CMOS memberi banyak kelebihan yang mana banyak peranti dapat difabrikasikan di dalam satu litar bersepadu dan meningkatkan jumlah transistor-per-*wafers*. Ini sekaligus mampu meningkatkan keupayaan fungsi dan prestasi di dalam peranti digital seperti kelajuan pemprosesan, kuasa, kapasiti memori dan sebagainya (Sutaria 2015).

Mengikut hukum Moore yang diperkenalkan oleh Gordon Moore, beliau menyatakan bahawa bilangan transistor dalam litar bersepadu akan berganda dua bagi setiap dua tahun. Ini memberi andaian bahawa transistor akan terus dikecilkan sehingga ke tahap maksimum. Hasilnya, sejak beberapa dekad kebelakangan ini memperlihatkan bahawa industri-industri semikonduktor terus rancak mengkaji serta menghasilkan transistor yang semakin kecil dimensinya. Proses penskalakecilan transistor tidak terhenti di situ sahaja yang mana sehingga sekarang industri semikonduktor terus menghasilkan transistor hingga ke saiz nanometer. Menurut Iwai (2015a), beliau menjangkakan bahawa peranti teknologi CMOS akan terus diskalakecilkan untuk beberapa generasi sebelum berakhirnya Hukum Moore yang

mana beliau menjangkakan bahawa panjang get akan dipendekkan sehingga hanya beberapa nanometer.

Bermulanya Hukum Moore, peranti teknologi CMOS terus rancang diskalakecilkan seiring dengan kehendak teknologi yang sentiasa bersaing untuk menghasilkan peranti elektronik yang kecil dan berprestasi tinggi (Wong & Iwai 2015). Namun penskalakecilan dimensi transistor sehingga ke skala-nano mengakibatkan lapisan get dielektrik silikon dioksida ( $\text{SiO}_2$ ) turut terkesan dengan situasi ini dan memaksa panjang lapisan  $\text{SiO}_2$  dikurangkan sekaligus memaksa ketebalannya dinipiskan sehingga kurang daripada 2 nm dan mengundang banyak implikasi buruk terhadap prestasi transistor (Choi 2012). Ini memungkinkan  $\text{SiO}_2$  kekal relevan sebagai lapisan dielektrik dalam litar berskala nano kerana dengan hanya beberapa atom di dalam lapisan  $\text{SiO}_2$ , ini pasti menyebabkan transistor tidak mampu berfungsi pada voltan yang sepatutnya dan kesan pengecilan panjang get pasti mengakibatkan berlakunya kesan saluran pendek yang menjerumus ke arah berlakunya arus bocor yang tinggi (Robertson & Wallace 2015).

Disebabkan masalah ini, penyelidik telah menemui alternatif dalam teknologi peranti semikonduktor iaitu penggunaan bahan baru pada lapisan dielektrik iaitu bahan yang mempunyai kebertelusan tinggi yang dikenali sebagai *high-k* dan get logam yang dikenali sebagai *metal gate*. Gabungan struktur bahan get ini yang juga dikenali sebagai *high-k/metal gate* terus memonopoli teknologi semikonduktor bermula daripada nod 45 nm dan ke bawah (Satya & Mohapatra 2015). Bahan *high-k* adalah bahan alternatif bagi menggantikan  $\text{SiO}_2$  yang sudah berdekad menapak di dalam peranti semikonduktor sebagai lapisan dielektrik get. Namun masalah tetap timbul dengan gabungan bahan *high-k* dan polisilikon yang mana kesan paling buruk adalah berlakunya arus bocor get dan kesan kesusutan polisilikon (Gassilloud et al. 2009). Jadi di atas motivasi ini, bahan get elektrod polisilikon juga turut digantikan dengan bahan get logam (*metal gate*) yang menghapuskan kesan susutan cas polisilikon pada voltan tinggi yang seterusnya mengakibatkan berkurangnya nilai kapasitans get peranti (Hsu et al. 2006; Shashank et al. 2010). Kelebihan *metal gate* berbanding poly-Si ialah kesan rintangan get yang rendah, pengurangan kesusutan poli dan keserasian yang tinggi dengan bahan *high-k* (Weng et al. 2010).

Jadi, di atas motivasi ini, penemuan gabungan bahan *high-k/metal gate* mampu merungkai segala permasalahan terhadap penskalaan transistor MOSFET yang memasuki regim nano. Ini sekaligus memastikan peranti mampu berfungsi pada keadaan sepatutnya dan memastikan peranti transistor berstruktur planar kekal relevan sehingga ke panjang get 14 nm seperti yang diunjurkan oleh *International Roadmap of Semiconductor (ITRS)* sebelum struktur planar digantikan sepenuhnya dengan struktur yang menggunakan teknologi yang lebih kompleks dan ini pastinya memakan jumlah kos yang lebih tinggi (ITRS 2012). *ITRS* adalah satu badan yang dianggotai oleh beberapa industri semikonduktor terkemuka di seluruh dunia yang bertujuan memberi halatuju dalam bidang pembuatan peranti semikonduktor dengan menyediakan senarai ciri-ciri peranti bersama unjuran di masa akan datang yang diikuti dan diperakui oleh pengkaji dan organisasi dalam industri semikonduktor di seluruh dunia (Pichler et al. 2010). Berdasarkan unjuran *ITRS2012* menunjukkan bahawa penghasilan transistor berstruktur planar yang mencecah sehingga panjang get 14 nm mempunyai kebolehpercayaan yang tinggi dan masih relevan untuk dilaksanakan dan kajian melaporkan fabrikasi terhadap peranti transistor berstruktur planar sehingga 5 nm panjang get berjaya dihasilkan (Cho et al. 2011; Wakabayashi et al. 2003). Jadual *ITRS2012* dan *ITRS* yang terbaru untuk unjuran teknologi peranti semikonduktor bagi analisis yang dikaji dilampirkan pada Lampiran D (ITRS 2012; ITRS 2013).

Dalam proses fabrikasi transistor berteknologi CMOS, pemilihan dan tahap penggunaan parameter proses yang sesuai memainkan peranan yang penting dalam menentukan variasi voltan ambang. Hal ini disebabkan oleh fakta bahawa parameter-parameter ini menyumbang kepada profil dopan di dalam transistor yang secara langsung memberi kesan kepada perubahan voltan ambang. Namun begitu, akibat proses penskalakecilan transistor yang mana nilai voltan ambang perlu dikecilkan turut memberi implikasi buruk terhadap prestasi peranti kerana secara tidak langsung menyebabkan berlakunya peningkatan arus bocor (Venkatasubramanian & Agrawal 2011). Oleh sebab itu, dalam mengenalpasti parameter-parameter proses yang menyumbang kepada perubahan voltan ambang, teknik khusus yang melibatkan eksperimen dan analisis perlulah dirancang dengan teliti dan tersusun.